

⑫ 公開特許公報 (A)

平3-143109

⑬ Int. Cl. 5
H 03 G 3/10識別記号 A
府内整理番号 8221-5 J

⑭ 公開 平成3年(1991)6月18日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 利得可変増幅回路

⑯ 特 願 平1-282419

⑯ 出 願 平1(1989)10月30日

⑰ 発明者 菊地 博行 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代理人 弁理士 高山 敏夫 外1名

明細書

1. 発明の名称

利得可変増幅回路

2. 特許請求の範囲

第1のFETのドレイン、ゲート、ソースを、それぞれ第1の定電圧源に接続された抵抗の一端、信号入力端、可変電圧源に接続し、第2のFETのドレイン、ゲート、ソースをそれぞれ前記抵抗の一端、前記可変電圧源及び第2の定電圧源に接続し、前記抵抗の一端を出力端とする増幅回路を基本に構成したことを特徴とする利得可変増幅回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は利得を可変できる増幅回路に関するものである。

(従来の技術)

従来、ソース接地増幅回路の利得を可変にする回路としては、第6図及び第7図に示すようにFET 4のゲートの電圧を変えてFET 4のドレイ

ン電流を制御する方法と、ソース電圧を変えてドレイン電流を制御する方法が考えられる。

図において、1は入力端子、2は出力端子、3は前段の増幅回路、4はFETトランジスタ、5及び9は夫々抵抗、6及び7は電圧源、8及び10は夫々可変電圧をあらわす。

ここで、第1図のゲート電圧を替える方法は、DC直結で多段化する場合には可変増幅段の入力DC電圧が変化するので向かない。

また、第7図の回路はゲートのDC電圧が一定であるので前段の増幅回路と直結できる。

(発明が解決しようとする課題)

次にこの増幅回路の動作について述べる。FETのドレイン電流 I_d はダブリュ・アール・クーリティ (W. R. Curte) が提案したモデルによる

と、

$$I_d = \beta (V_{gs} - V_{th})^2 \cdot (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad \text{①}$$
 と表わされる。ここで、 α 、 β 、 λ は定数、 V_{th} はしきい値電圧を表わす。また①式よりトランジスタのコンダクタンス g_s は

$$g_{ds} = \frac{\partial I_d}{\partial V_{ds}} = 2B(V_{ds} - V_{th})(1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad \text{…②}$$

と表わされる。

①、②式よりゲート・ソース間電圧 V_{gs} を変えることによりドレイン電流 I_d 及び g_{ds} を変化させる。従って、第7図においてソース電圧 V_{ss} を変えることにより、負荷抵抗に流れるドレイン電流を変化でき、利得を可変にすることができる。ここで V_{acc} を上げるとFETのゲート・ソース間電圧 V_{gs} が下がり、ドレイン電流 I_d が小さくなり、これに伴ってFETの g_{ds} が下がり、利得が小さくなる。ところが I_d が小さいため、負荷抵抗による電圧降下は小さくなり、ドレイン・ソース間電圧 V_{ds} は上がる。このため②式より V_{ds} が増加した分だけ、 g_{ds} は増加する方向にあり、 V_{ss} 一定の場合より g_{ds} の変化が小さい。 V_{acc} を下げた場合は、上記と逆の動作となる。すなわち V_{acc} を変化させた場合、 V_{ss} と V_{ds} の変化は互いに逆方向となり（通常、增幅回路の動作点では、ソース電位の変化よりドレイン電位の変化の

方が大きい）、②式からわかるように g_{ds} の変化幅が小さく、利得可変幅が小さい。また V_{acc} を上げた場合、FETの V_{gs} が大きくなり、信頼性も問題になる。第8図は第7図の回路の V_{acc} を変化させた場合の利得周波数のシミュレーション結果を示す。又、第9図はFETのドレイン・ソース間電圧 V_{ds} の変化を示す。シミュレーションを用いたFETの主なデバイスパラメータは、チャネル長 $L = 0.3\mu\text{m}$ 、チャネル幅 $W = 250\mu\text{m}$ 、トランスクンダクタンス $g_m = 280\text{mS/mm}$ 、ドレインコンダクタンス $g_{ds} = 2.9\text{mS/mm}$ 、ゲート・ソース間容量 $C_{gs} = 0.18\text{pF}$ 、ドレイン・ソース間容量 $C_{ds} = 0.012\text{pF}$ 、ドレイン電圧 $V_{ds} = 6\text{V}$ 、FETゲート入力のDCは0Vとしている。

本発明は上記の点に鑑みて提案されたもので、その目的は、ソース接地增幅回路のソース電圧を変化させた場合の、ドレイン・ソース間電圧 V_{ds} の変動を低減した增幅回路を提供することにある。

(課題を解決するための手段)

上記の目的を達成するため、本発明は第1のFETのドレイン、ゲート、ソースを、それぞれ第1の定電圧源に接続された抵抗の一端、信号入力端、可変電圧源に接続し、第2のFETのドレイン、ゲート、ソースをそれぞれ前記抵抗の一端、前記可変電圧源及び第2の定電圧源に接続し、前記抵抗の一端を出力端とする増幅回路を基本に構成したことを特徴とする利得可変増幅回路を発明の要旨とするものである。

(作用)

第1のFETのドレイン、ゲート、ソースを夫々定電圧源に接続された抵抗の一端、信号入力端、可変電圧源に接続し、第2のFETのドレイン、ゲート、ソースを夫々前記抵抗の一端、前記可変電圧源及び定電圧源に接続し、前記抵抗の一端を出力端子とすることによって、ソース接地増幅回路のソース電圧を変化させた場合、ドレイン・ソース間電圧の変動を小さくすることができるので、利得可変増幅回路の利得可変幅を増加するこ

とができる。

(実施例)

次に本発明の実施例について説明する。なお、実施例は一つの例示であって、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良を行えることは言うまでもない。

第1図は本発明の利得可変増幅回路の実施例を示す。

図において、1は入力端子、2は出力端子、3は前段の増幅回路、4は第1のFETトランジスタ、5は抵抗、6は電圧源、10は可変電圧、11は第2のトランジスタ、12は定電圧源を示す。

いま、 V_{acc} の電圧を上げると、第1のFET4のドレイン電流は小さくなるが、逆に第2のFET11のドレイン電流は大きくなる。また V_{acc} との電圧を下げた場合、第1と第2のFETのドレイン電流は上記と逆方向となる。すなわち、 V_{acc} の電圧変化に対して第1および第2のFETの電流は互いに逆方向に変化する。従って V_{acc} の変化に対して第1のFET4のドレイン・ソース間電圧の変動を小さくすることができる。

ス間電圧の変動を従来より小さくすることが可能である。

いま、 $V_{acc} \approx 0$ Vのとき第2のFET11がほぼカットオフ状態になるようにするために、 $V_s = 1$ Vを与える。ソース接地増幅回路1段の電圧利得変化をシェミレーションにより求めた。第2図に電圧利得の V_{acc} 依存性のシェミレーション結果を示す。横軸に周波数、縦軸に電圧利得をとっている。この図から同じ V_{acc} の可変範囲に対して、従来より大幅に利得可変幅を増加することができる。第3図は第1のFET4のドレイン・ソース間電圧 V_{ds} の V_{acc} 依存性を示す。従来の回路の場合の第9図に比して V_{ds} の変動を大幅に低減できる。本発明は V_{ds} の変動を従来より小さく出来、大きな電圧が印加されないようにできるため、信頼性上の問題も解消される。

第4図は本発明の具体的な実施例を示す回路図である。前段の増幅回路3はソース接地増幅回路とソースホロワから構成される増幅回路2段により構成されている。抵抗12は広帯域化と入力の整

合性を同時に満たすように最適化された帰還抵抗、13、14はピーリングによる広帯域化をはかるために設けたインダクタンス及び装置である。

第8図と同様の回路条件で、シェミレーションした場合の利得可変特性を第5図に示す。横軸は周波数 (GHz)、縦軸は S_{21} (dB)を示す。 $V_{acc} \approx 0 \sim 1$ Vで約20dBの利得可変幅が得られている。

(発明の効果)

以上説明したように、本発明によれば 第1のFETのドレイン、ゲート、ソースを夫々定電圧源に接続された抵抗の一端、信号入力端、可変電圧源に接続し、第2のFETのドレイン、ゲート、ソースを夫々前記抵抗の一端、前記可変電圧源及び定電圧源に接続し、前記抵抗の一端を出力端子とすることによって、ソース接地増幅回路のソース電圧を変化させた場合、ドレイン・ソース間電圧 V_{ds} の変動を小さくすることができるので、利得可変増幅回路の利得可変幅を増加できる利点がある。また、 V_{ds} に過大な電圧が印加されないため、信頼性上の問題も改善される。このように広

帯域な性能を有する利得可変増幅回路をモノリシックで実現できるので、無線通信システムのIF利得可変アンプ、大容量光伝送受信用利得可変アンプに通用可能である効果を有する。

4. 図面の簡単な説明

第1図は本発明の利得可変増幅回路、第2図は本発明の回路の利得可変特性、第3図は本発明の回路の V_{ds} の V_{acc} 依存性、第4図は本発明回路による具体的な増幅回路の実施例、第5図は第4図の回路の利得可変特性、第6図及び第7図は従来の利得可変増幅回路、第8図は第7図の回路の利得可変特性、第9図は第7図の回路のドレイン・ソース間電圧 V_{ds} のゲート電圧 V_{acc} 依存性を示す。

- 1 入力
- 2 出力
- 3 前段増幅回路
- 4, 11 FETトランジスタ
- 5, 9, 12 . 抵抗
- 6, 7, 12' . 定電圧源

8, 10 . . . 可変電圧

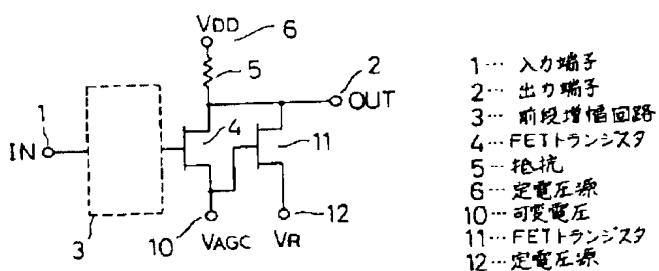
13 インダクタンス

14 容量

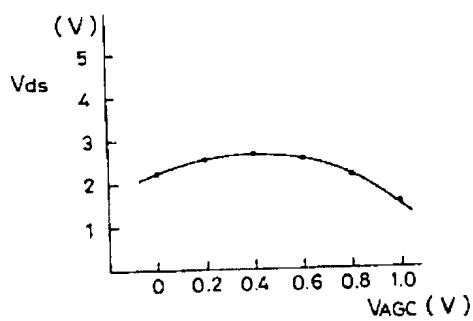
特許出願人 日本電信電話株式会社
代理人 弁理士 高山敏夫 (外1名)



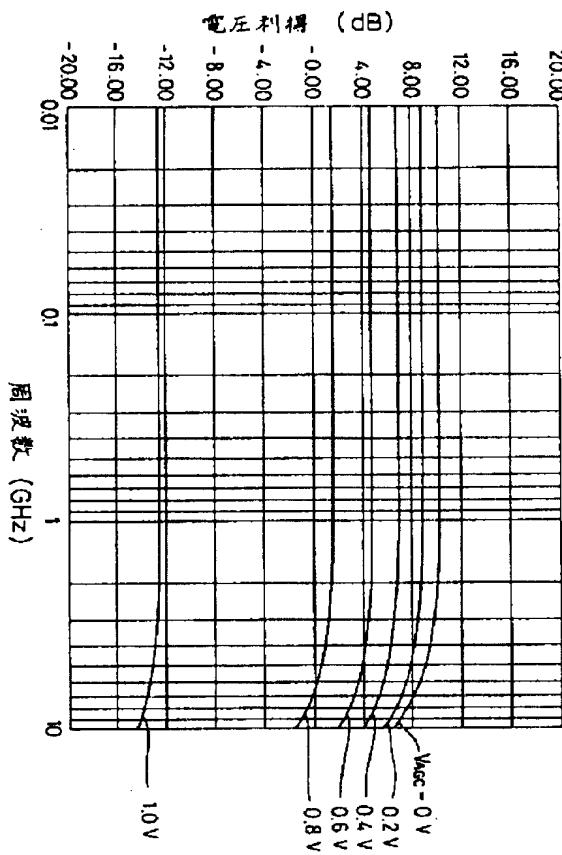
第 1 図



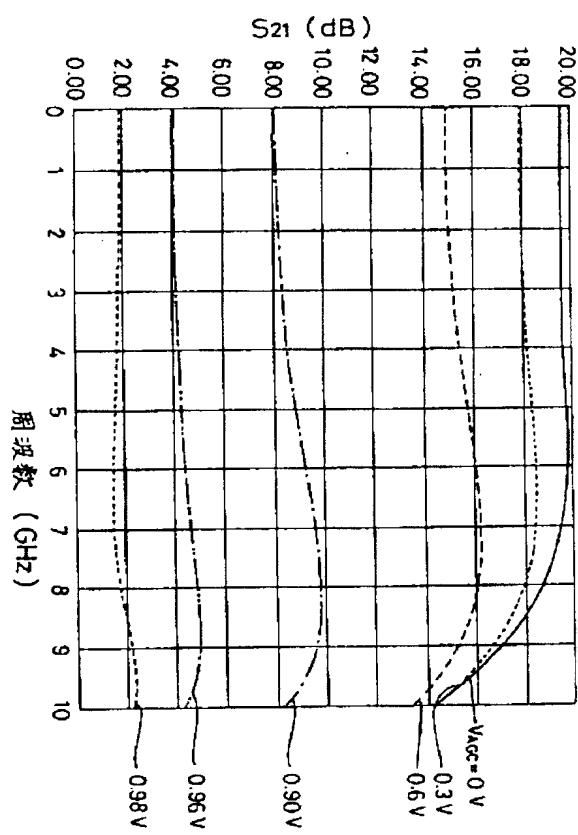
第 3 図



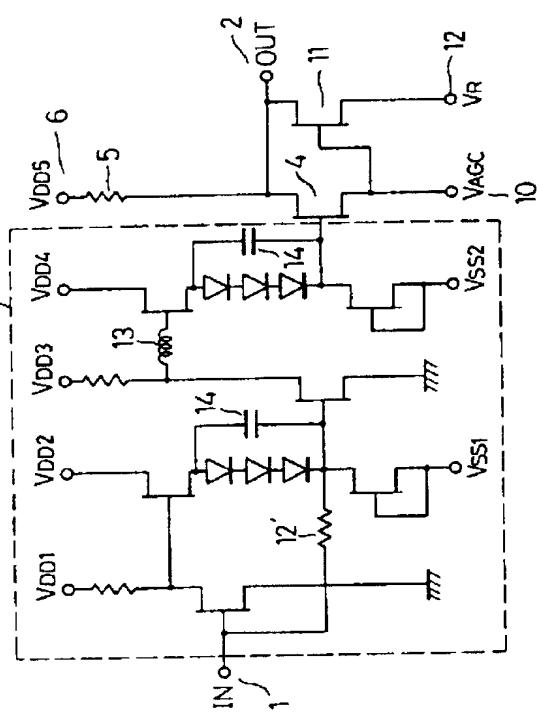
第 2 図



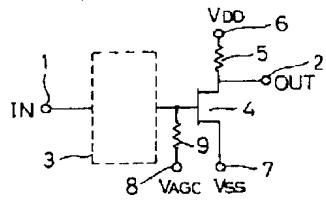
第 5 図



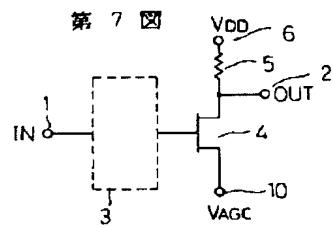
第 4 図



第6図



第7図



第9図

